

日本国特許庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
09/956973  
09/21/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2000年11月29日

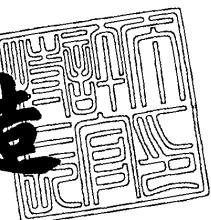
出願番号  
Application Number: 特願2000-363902

出願人  
Applicant(s): 富士通株式会社

2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3073984

【書類名】 特許願

【整理番号】 0040970

【提出日】 平成12年11月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 松崎 康郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 佐藤 靖治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 相川 忠雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 山崎 雅文

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン

プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 回路間を接続する第1の配線と、  
前記回路間を接続する第2の配線と、  
前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方  
を選択する切り替え回路とを有し、  
前記第2の配線は前記第1の配線よりも大きいサイズの半導体装置。

【請求項2】 回路間を接続する第1の配線と  
前記回路間を接続する第2の配線と、  
前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方  
を選択する切り替え回路とを有し、  
前記第2の配線は前記第1の配線より上層に形成されている半導体装置。

【請求項3】 回路間を接続する第1の配線と  
前記回路間を接続する第2の配線と、  
前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方  
を選択する切り替え回路とを有し、  
前記第1の配線はウェハ試験時に使用される配線であり、前記第2の配線はウ  
ェハ試験後の動作時に使用される配線である半導体装置。

【請求項4】 前記第1及び第2の配線は同一信号を伝送する配線である請  
求項1ないし3のいずれか一項記載の半導体装置。

【請求項5】 前記第1の配線は、前記第2の配線が形成されていない段階  
で動作可能であり、この場合には、前記第1の配線を介して回路間で信号が伝送  
される請求項1ないし4のいずれか一項記載の半導体装置。

【請求項6】 前記切り替え回路は、前記第2の配線が形成された後では、  
当該第2の配線を固定的に選択する請求項1ないし5のいずれか一項記載の半導  
体装置。

【請求項7】 前記切り替え回路は、選択された配線のみを前記回路間に電  
気的に接続する請求項1ないし6のいずれか一項記載の半導体装置。

【請求項8】 前記切り替え回路は、プルグラマブルである請求項1ないし7のいずれか一項記載の半導体装置。

【請求項9】 前記第2の配線は、同一長さの信号線を含むことを特徴とする請求項1ないし8のいずれか一項記載の半導体装置。

【請求項10】 チップ上に形成される第1の配線層と、これよりも上層に形成される第2の配線層とを具備し、第1の配線層に形成される第1の電極の数をMとし、第2の配線層に形成される第2の電極の数をNとし、第1及び第2の電極は同一信号を受信する場合、 $M > N \geq 1$  の条件が満足される半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関するものであり、より詳細には、最近注目されているスーパー コネクト（巨大配線とも言う）を用いた半導体装置に関する。

【0002】

【従来の技術】

スーパー コネクトは、幅  $5 \sim 10 \mu m$  程度の配線層を用いた配線技術であり、半導体装置の高速化及び低電力化を可能とする。

【0003】

巨大配線は、微細加工で形成する通常の配線に対し、次のような利点がある。

- ①幅が広いため電気抵抗が小さい。
- ②バルクとの絶縁層の層間が厚く、また巨大配線間の配線間隔が広いため寄生容量が小さい。
- ③以上より、巨大配線の時定数は非常に低く高速動作に向いている。

【0004】

また、半導体装置の実装面積は年々縮小されており、BGA（ボール・グリッド・アレイ）などの高密度実装技術が発達してきた。これは、半導体チップ表面にバンプをアレー状に並べて外部電極とするものである。このとき、半導体チップの回路からバンプに配線する方法として、再配線技術がある。この再配線も幅の広い配線であり、巨大配線である。

【0005】

【発明が解決しようとする課題】

本発明は、従来再配線として利用されている巨大配線をチップに形成された回路間で信号を伝送する配線として用い、高速かつ低電力消費の半導体装置を提供することを目的とする。

【0006】

本発明の目的をより特定すれば、ウェハ試験（ウェハプローバーを用いて、パターン形成後のウェハ上のチップの良品、不良品を選別する試験）やその後のチップ試験（回路の論理機能や電気的特性を試験）などの各種試験や、実装された状態での動作を考慮して構成された配線構造を有する半導体装置を提供する。

【0007】

【課題を解決するための手段】

本発明は、回路間を接続する第1の配線と、前記回路間を接続する第2の配線と、前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方を選択する切り替え回路とを有し、前記第2の配線は前記第1の配線よりも大きいサイズの半導体装置である。

【0008】

上記配線構造を別の観点から特定すると、前記第2の配線は前記第1の配線より上層に形成されているとも言える。

【0009】

更に別の観点から上記配線構造を特定すると、前記第1の配線はウェハ試験時に使用される配線であり、前記第2の配線はウェハ試験後の動作時に使用される配線とも言える。

【0010】

以上のように、異なる形態の第1及び第2の配線を選択的に使用することで、高速かつ低電力消費の半導体装置を提供することができる。

【0011】

【発明の実施の形態】

まず、本発明の理解を容易にするために、図1を参照して、半導体装置の一例

であるロジックチップを説明する。

【0012】

図1は、ロジックチップの一般的な構成を示すブロック図である。図示するロジックチップ10は、5つの機能ブロック11～15、外部とのインターフェースを形成するI/O回路16、及び外部から供給されるクロックをバッファリングして内部回路に供給するクロック(CLK)バッファ17を有する。機能ブロック11～15、I/O回路16及びクロックバッファ17の間には、バス18やクロック信号線19が設けられている。バス18やクロック信号線19は、一般的な微細加工技術で形成される信号線（以下、通常配線と言う）である。バス18は、データ、アドレス、制御信号などを伝送する。クロック信号線19は、クロックバッファ17でバッファリングされたクロックを各部に供給する。

【0013】

バス18とクロック信号線19は、チップ内の信号線の中で比較的長い。このような比較的長い信号線に対し、以下に説明する巨大配線を設ける。

【0014】

図2は、本発明の第1の実施の形態による半導体装置の構成を示すブロック図である。

【0015】

図示する半導体装置100はロジックチップ（ロジックデバイス）であり、図1に示すロジックチップ10のように、機能ブロック21～25、外部とのインターフェースを形成するI/O回路26、及び外部から供給されるクロックをバッファリングして内部回路に供給するクロック(CLK)バッファ27を有する。また、ロジックチップ100は同様に、微細加工技術で形成される通常配線によるバス28及びクロック信号線29を有する。

【0016】

ロジックチップ100は更に、巨大配線で形成されるバス31及び巨大配線で形成されるクロック信号線32、及び切り替え回路30を具備する。各機能ブロック21～25、I/O回路26及びクロックバッファ27は、切り替え回路30が出力する信号S1に従い、選択的にバス28とバス31のいずれか一方及び

クロック信号線29と32のいずれか一方に接続される。

【0017】

図3は、通常配線によるバス28やクロック信号線29と、巨大配線で形成されるバス31やクロック信号線32の関係を示すための模式的な断面図である。

【0018】

半導体基板40上(チップ面上)には、多層配線層42が形成されている。多層配線層42は、多層に構成された配線層42a、42bを有する。各配線層42a、42bはポリイミドなどの絶縁層で絶縁され、最上部の配線層42b上にはポリイミドなどの絶縁層が設けられている。図3では、便宜上、多層配線層42の絶縁層を一括して参照番号41で示してある。バス28とクロック信号線29は、多層配線層42内の配線であり、通常の微細加工で形成される通常配線である。

【0019】

多層配線層42は電極43を有する。電極43はコンタクト部45、46及び中間の配線層を介して、半導体基板40に形成された拡散層44に電気的に接続される。

【0020】

絶縁層47上には、巨大配線層48が形成されている。バス31及びクロック信号線32の各信号線は、巨大配線層48で形成される。巨大配線層48は、コンタクト部33で電極43とコンタクトしている。電極43は、絶縁層41に設けられたコンタクトホールから露出している。コンタクト部33は、絶縁層41、47に形成されたコンタクトホールに巨大配線層48が入り込んで電極43に接続する構成である。巨大配線層48の幅及び厚みは多層配線層42の配線層42a、42bよりも大きく、例えば5~10μmである。

【0021】

巨大配線層48の上には、カバー膜49が設けられている。カバー膜49は開口部(スルーホール)を有し、そこから巨大配線層48が露出している。開口部には、巨大配線層48上に形成された他のチップとの接続用の電極50が設けられている。電極50はバンプなどである。

## 【0022】

なお、電極50はマルチチップ半導体装置を形成するために、他のチップとチップ面を向かい合わせにして重ねたときに、他のチップに設けられた電極とコンタクトするためのものである。従って、このような目的がない場合には、電極50は不要である。つまり、巨大配線48はカバー膜49で完全に覆われる。

## 【0023】

図2に戻り、上記のような巨大配線で形成されるバス31の各信号線とクロック信号線32は、コンタクト部33を介して各機能ブロック21～25に接続されている。また、バス31はコンタクト部33を介してI/O回路26に接続されている。更に、クロック信号線32はコンタクト部33を介してクロックバッファ27に接続されている。

## 【0024】

図4は、図2に示す切り替え回路30内に設けられ他バス切り替え回路の構成、及び一例として機能ブロック21と25の間の通常配線によるバス28のうちの信号線28iと、巨大配線によるバス31の対応する信号線31iと、機能ブロック21と25の関連する部分の回路構成を示す図である。バス28や31は、信号を一方向に伝送する部分と、双方向に伝送する部分とを含む。図4は、信号を機能ブロック21から機能ブロック25に一方向に伝送する構成例である。一方向に伝送される信号は、例えば、制御信号やアドレス信号などである。

## 【0025】

機能ブロック21はドライバ51を具備する。ドライバ51は、内部回路からの信号SGLを、制御線34を通る切り替え信号S1で指示された方の信号線（28iと31iのいずれか一方）に出力する。トライバ51は、インバータ52、53、54、及びNANDゲート55、56で構成される。切り替え信号S1がハイレベル（H）にあると、NANDゲート56は活性化され、NANDゲート55は非活性化される。よって、内部回路からの信号SGLは、NANDゲート56及びインバータ54を介して、通常配線によるバス28の信号線28iに送出される。反対に、切り替え信号S1がローレベル（L）にあると、NANDゲート55は活性化され、NANDゲート56は非活性化される。よって、内部

回路からの信号SGLは、NANDゲート55及びインバータ53を介して、巨大配線によるバス31の信号線31iに送出される。

## 【0026】

バス切り替え回路30Aは、巨大配線61、抵抗62及びインバータ63を有する。巨大配線61と抵抗62の直列回路は、電源電圧VCCとグランドVSSとの間に設けられている。巨大配線が形成されていない時は、インバータ63の入力はグランドレベルVSSとなり、切り替え信号S1はHである。巨大配線61が形成されると、切り替え信号S1はLとなる。

## 【0027】

機能ブロック25は、レシーバ57を有する。レシーバ57は、NORゲート58、インバータ59及びNチャネルのMOSトランジスタなどの電界効果トランジスタ(FET)で構成される。切り替え信号S1がHの時、トランジスタ60がONして通常配線によるバス28の信号線28iが選択される。反対に、切り替え信号S1がLの時、トランジスタ60がOFFして巨大配線によるバス31の信号線31iが選択される。選択された信号はインバータ59を通り、機能ブロック25の図示しない内部回路に出力される。

## 【0028】

ここで、バス切り替え回路30Aの切り替えは、以下に説明するウェハ試験やチップ試験を考慮して、次の通り行われる。

## 【0029】

ウェハ試験は、ウェハプローバーを用いて、パターン形成後のウェハ上のチップの良品、不良品を選別する目的をもつ。そして、不良品と判定された場合、不良部分を予め設けられた冗長手段でリペアする。この際、フューズをレーザなどで溶断する。フューズは、図3に示す多層配線層42内に設けられ、絶縁膜41に設けられた開口(リペア用の窓)から露出している。絶縁層47を設け、その上に巨大配線48を形成してしまうと、上記リペア用の窓が塞がってしまう。よって、ウェハ試験は巨大配線を形成する工程の前に実施する必要がある。

## 【0030】

巨大配線を形成する前には、図4に示す構成のうち巨大配線による信号線31

$i$  は形成されていない。また、バス切り替え回路 30A の巨大配線 61 も形成されていない。よって、切り替え信号 S1 は H となり、既に形成されている通常配線による信号線 28i が選択される。

#### 【0031】

このようにしてウェハ試験を実施した後に、図3に示す巨大配線 48 や 61 が形成される。巨大配線 48 は正規の配線となるものなので、巨大配線 48 を設けた後に試験（チップ試験）しなければならない。その際、通常配線による信号線 28i はもはや不要である。この信号線 28i が接続されたままだと、この寄生容量が巨大配線による信号線 31i に付加されてしまい問題である。

#### 【0032】

ウェハ試験を実施した後にバス切り替え回路 30A の巨大配線 61 が形成されるので、チップ試験時には切り替え信号 S1 は L となる。よって、巨大配線による信号線 31i が選択される。巨大配線 61 は配線されたままになるので、巨大配線による信号線 31i が恒久的に選択される。巨大配線は前述した利点を有するので、図2に示す半導体装置 100 は遅延時間が短く、消費電力が少ないものとなる。

#### 【0033】

図5は、通常配線によるクロック信号線 29 と巨大配線による信号線 32 との制御に係る構成を示す図である。クロックは、クロックバッファ 27 からクロック信号線 29 又は 32 を通り、各機能ブロック 11～15 に一方向に伝送される。

#### 【0034】

クロックバッファ 27 は、外部クロック端子 64 に接続されたクロック入力回路 65 及びドライバ 66 を有する。ドライバ 66 は、インバータ 67、68、69、及びNANDゲート 70、71 を有する。各機能ブロック 11～15 はレシーバ 72 を具備する。レシーバ 72 は、NORゲート 73、インバータ 74、及びNチャネルトランジスタ 75 を具備する。

#### 【0035】

クロック信号線切り替え回路 30B は、図2に示す切り替え回路 30 内に設け

られ、図4に示すバス切り替え回路30Aと同一構成である。すなわち、図示するように、クロック信号線切り替え回路30Bは、巨大配線61a、抵抗62a及びインバータ63aを有する。図4及び図5の構成では、バス切り替え回路30Aとクロック信号線切り替え回路30Bとは別に設けられている。従って、制御線34Aは図3に示す制御線34と別に設けられている。しかし、どちらか一方の切り替え回路のみを設け、バス切り替えとクロック信号線切り替えとで共用しても良い。

#### 【0036】

切り替え信号S1はHの場合、ドライバ66及びレシーバ72は通常配線によるクロック信号線29を選択する。反対に、切り替え信号S1がLの場合、ドライバ66及びレシーバ72は巨大配線によるクロック信号線32を選択する。

#### 【0037】

図6は、図2に示すバス29、32のうち、データを伝送するデータバス及びこれに係る構成を示すブロック図である。図6では、通常配線によるバス28のうちの1本のデータバス線を28jとし、巨大配線によるバス31のうちの1本のデータバス線を31jとして示してある。

#### 【0038】

データバス線28j、31j上をデータDATAが双方に伝送されるので、各機能ブロック21～25（図6では機能ブロック21と25のみが図示されている）は、各データバス線毎にドライバ及びレシーバを具備する。より具体的に説明すると、機能ブロック21はドライバ81とレシーバ28を有し、機能ブロック25は、ドライバ101とレシーバ102を有する。

#### 【0039】

機能ブロック21のドライバ81は、インバータ83、84、90、91、NANDゲート87、99、NORゲート85、86、92、93、Pチャネルトランジスタ88、95、Nチャネルトランジスタ89、96を有する。機能ブロック21のレシーバ82は、NORゲート97、インバータ98及びNチャネルトランジスタ99を有する。

#### 【0040】

ドライバ81は、内部回路からHのイネーブル信号EN1を受けると活性化される。バス切り替え回路30AがHの切り替え信号を出力すると、NORゲート92にはLレベルの信号が入力するので活性化されるのに対し、NORゲート85にはHレベルの信号が入力するので非活性化される。従って、データの値に応じてトランジスタ95又は96が駆動され、通常配線によるデータバス線28jにデータが出力される。なお、切り替え信号S1がHの時はインバータ122の出力がLとなるので、データバス線28jに接続されているNチャネルトランジスタ121はOFFである。

#### 【0041】

内部回路からHのイネーブル信号EN1を受けた状態で、Lの切り替え信号がバス切り替え回路30Aから出力されると、NORゲート85が活性化され、NORゲート92が非活性化される。よって、データの値に応じてトランジスタ88又は89が駆動され、巨大配線によるデータバス線31jにデータが出力される。なお、切り替え信号S1がLの時はインバータ122の出力がHとなるので、データバス線28jに接続されているNチャネルトランジスタ121はONとなり、通常配線によるデータバス線28jはグランドレベルVSSに設定される。

#### 【0042】

上記ドライバ81と同様に、機能ブロック25のドライバ101は、インバータ103、104、110、111、NANDゲート107、114、NORゲート105、106、112、113、Pチャネルトランジスタ108、115、Nチャネルトランジスタ109、116を有する。機能ブロック25のレシーバ102は、NORゲート117、インバータ118及びNチャネルトランジスタ119を有する。ドライバ101及びレシーバ102の動作は前述したドライバ81及びレシーバ82の動作と同様である。

#### 【0043】

他の機能ブロックも同様に構成されている。

#### 【0044】

図7は、前述したバス切り替え回路30A及びクロック切り替え回路30Bの

他の構成例を示す図である。

【0045】

図7 (a) に示す構成は、抵抗131とインバータ132とフューズ133とからなる。抵抗131とフューズ133を電源電圧側VCCとグランドVSSの間に接続する。フューズ133が接続されている時は、切り替え信号S1はHとなる。フューズ133を溶断すると、切り替え信号はLとなる。

【0046】

図7 (b) に示す構成は、試験用パッド134、プルアップ抵抗135及びインバータ136からなる。巨大配線を形成する前に、試験用パッド134にプローブを当ててグランドレベルVSSに設定することで、切り替え信号S1はHとなる。試験用パッド134がオープンの状態では、切り替え信号S1はLである。

【0047】

図7 (c) に示す構成は、電極139、抵抗140及びインバータ141からなる。電極139は外部接続用の端子であり、例えば図3の突起電極50で形成される。突起電極50は、他のチップやボード137と当該半導体装置を接続した際、チップやボード137の電極138と接続される。例えば、チップ137と当該半導体装置（チップ）とを重ね合わせると、電極138と139がコンタクトする。これにより、電極138に与えられている電源電圧VCCが電極139にも与えられる。この結果、切り替え信号S1はLとなる。つまり、当該半導体装置が使用される状態では、巨大配線によるバスやクロック信号線が選択される。

【0048】

図7 (d) の構成は、モード選択回路で構成される。モード選択回路は例えば、DRAMチップに搭載されており、外部からのコマンド信号やアドレス信号で指示される内部回路の動作モードを設定するものである。このようなモード選択回路を用いて、切り替え信号S1を設定する。

【0049】

なお、図4～6や図7 (a) に示す切り替え回路30A、30Bの構成はプロ

グラマブルな素子を用いた回路である。

【0050】

図8は、本発明の第2の実施の形態による半導体装置のブロック図である。

【0051】

第2の実施の形態による半導体装置200は、次の点を考慮したものである。ウェハ試験で通常配線を用いて動作させ、巨大配線を形成した後はこれを用いて動作させた場合、ウェハ試験と巨大配線後の動作（チップ試験や実装された場合の動作など）で、信号のタイミングが変わってしまう。これを防止した構成を有するのが、本発明の第2の実施の形態である。

【0052】

図8において、各機能ブロック21～25にはそれぞれ、クロックバッファ（クロックを受信する回路）145～149が設けられている。なお、後述するように、クロックバッファ149は他のクロックバッファ145～148と異なる回路構成である。各クロックバッファ145～149にはそれぞれ、外部接続用のパッド（電極）150～154が接続されている。パッド150～154はそれぞれ、機能ブロック21～25に近接した位置に形成されている。また、クロックバッファ145～148には、巨大配線で形成されるクロック信号線156、及び制御線34Aが接続されている。クロック信号線156はコンタクト部157を介して各機能ブロック21～25と接続される。各クロックバッファ145～148は、クロック切り替え回路30Bが出力するクロック切り替え信号S1に従い、パッド150～153に与えられる外部からのクロックと、巨大配線156を通って供給される外部からのクロックのいずれか一方を選択して、選択したクロックを内部クロックとして機能ブロック21～24に出力する。

【0053】

パッド150～154は、通常配線の配線層で形成されたものである。つまり、図3の電極43に相当するものである。パッド155はパッド151～154と同様に外部からのクロックを受けるものであるが、巨大配線層で形成されるものである。つまり、図3の電極50に相当するものである。図3に示す電極50はバンプであるが、平坦形状のパッドであっても良い。

## 【0054】

電極154と155は機能ブロック25に近接して配置されているため、機能ブロック25には、バッファ149及び通常配線によるクロック信号線156Aを介してのみ、外部からクロックが供給される。つまり、ウェハ試験時にはパッド154に与えられたクロックが供給され、巨大配線形成後のチップ試験や実装後の動作においてはパッド155に与えられたクロックが供給される。クロック信号線156Aは短いので、どちらの場合も機能ブロック25に与えられるクロックのタイミングは変わらない。

## 【0055】

ウェハ試験時には、パッド150～153に与えられた外部クロックがクロックバッファ145～148を通って機能ブロック21～24に同一タイミングで与えられる。この時、クロック切り替え信号S1はHである。巨大配線形成後のチップ試験時には、クロック切り替え信号はLとなり、パッド155に与えられた外部クロックは、バッファ149及び巨大配線によるクロック信号線156を通り機能ブロック21～24に供給され、また通常配線によるクロック信号線156Aを介して機能ブロック25に供給される。クロック信号線156は巨大配線で形成されているのでクロックの遅延は小さく、またクロック信号線156Aは短いのでクロックの遅延は小さい。

## 【0056】

なお、クロックバッファ145は、バッファ173、インバータ174、NORゲート175、Nチャネルトランジスタ176、177からなる。クロック切り替え信号S1がHの時、トランジスタ177がオフしてクロック信号線156をディスエーブルとする。クロック切り替え信号S1がLの時、トランジスタ176がオフしてパッド150をディスエーブルとする。クロックバッファ146～148も同様な構成である。バッファ149や173は、例えばCMOSインバータの2段構成である。

## 【0057】

ここで、通常配線層で形成されるパッド150～154の数をMとし、巨大配線層で形成されるパッド155の数をNとした場合、 $M > N \geq 1$ を満足するよう

にパッドを設ければ良い。図8の例では、M=5、N=1である。

【0058】

図9に、本発明の第3の実施の形態による半導体装置を示す。第3の実施の形態による半導体装置300は、上記第2の実施の形態を簡略化した変形例に相当する。

【0059】

第3の実施の形態では、第2の実施の形態のクロックバッファ145～148で行っていたクロックの選択を行わず、パッド150～153と巨大配線で形成されるクロック信号線156をワイヤード・オアする。巨大配線層に形成されるパッド155から延びるクロック信号線156は、コンタクト部157を介してパッド150～154に接続されるとともに、機能ブロック21～25に近接して配置されたバッファ145A～149Aの入力端子に接続される。バッファ145A～149Aの出力端子はそれぞれ、機能ブロック21～25に接続される。

【0060】

バッファ145A～149Aは、前述したバッファ149や173と同様に、例えばCMOSインバータを複数個従属接続したものである。

【0061】

ウェハ試験時には、パッド150～154に外部クロックを供給し、巨大配線後はパッド153に外部クロックを供給する。

【0062】

上記構成の第3の実施の形態は、第2の実施の形態と比較して回路がシンプルである。しかし、第3の実施の形態は巨大配線後に外部クロックが複数のクロックバッファ145A～149Aに接続されるため、クロック信号線156の負荷が増大し、高速動作には不利になる。つまり、高速動作を優先させるなら、第2の実施の形態が好ましい。

【0063】

ここで、クロック信号線のように高いタイミング精度が要求される場合には、それを各部へ伝送する巨大配線の長さをできるだけ等しくすることがことましい

## 【0064】

図10は、図2に示す構成において、クロック信号線32を等配線長にした半導体装置400を示す図である。図10に示すクロック信号線32AはノードN1で分岐する構成で、クロックバッファ27から各機能ブロック21～25までの距離は完全に等しいか、ほぼ等しい。配線距離に差があっても、必要とするタイミング精度が得られるのであれば問題ない。換言すれば、必要とするタイミング精度が得られる程度に配線距離の差を許容する。

## 【0065】

図11は、図8に示す構成において、クロック信号線156を等配線長にした半導体装置500を示す図である。図11に示すクロック信号線156AはノードN1で分岐する構成で、クロックバッファ149から各機能ブロック21～25までの距離は完全に等しいか、ほぼ等しい。配線距離に差があっても、必要とするタイミング精度が得られるのであれば問題ない。換言すれば、必要とするタイミング精度が得られる程度に配線距離の差を許容する。なお、半導体装置500は、図8に示すクロックバッファ149に代えて、パッド182が接続されたクロックバッファ181を用いている。クロックバッファ181は、クロックバッファ145と同一構成である。

## 【0066】

以上、本発明の実施の形態を説明した。本発明は上記実施の形態に限定されるものではなく、様々な実施の形態を含むものである。例えば、上記実施の形態はロジックチップの例であったが、その他のチップ、例えばメモリチップや、機能ブロックとメモリが混在したチップなど様々な形態の半導体装置を含むものである。

## (付記)

(付記1) 回路間を接続する第1の配線と、  
前記回路間を接続する第2の配線と、  
前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方を選択する切り替え回路とを有し、

前記第2の配線は前記第1の配線よりも大きいサイズの半導体装置。

【0067】

(付記2) 回路間を接続する第1の配線と

前記回路間を接続する第2の配線と、

前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方を選択する切り替え回路とを有し、

前記第2の配線は前記第1の配線より上層に形成されている半導体装置。

【0068】

(付記3) 回路間を接続する第1の配線と

前記回路間を接続する第2の配線と、

前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方を選択する切り替え回路とを有し、

前記第1の配線はウェハ試験時に使用される配線であり、前記第2の配線はウェハ試験後の動作時に使用される配線である半導体装置。

【0069】

(付記4) 前記第1及び第2の配線は同一信号を伝送する配線である付記1ないし3のいずれか一項記載の半導体装置。

【0070】

(付記5) 前記第1及び第2の配線は、アドレス、データ、制御信号、クロックのすくなくとも1つを伝送する配線である付記1ないし4のいずれか一項記載の半導体装置。

【0071】

(付記6) 前記第1の配線は、前記第2の配線が形成されていない段階で動作可能であり、この場合には、前記第1の配線を介して回路間で信号が伝送される付記1ないし5のいずれか一項記載の半導体装置。

【0072】

(付記7) 前記切り替え回路は、前記第2の配線が形成された後では、当該第2の配線を固定的に選択する付記1ないし6のいずれか一項記載の半導体装置。

。

【0073】

(付記8) 前記切り替え回路は、選択された配線のみを前記回路間に電気的に接続する付記1ないし7のいずれか一項記載の半導体装置。

【0074】

(付記9) 前記切り替え回路は、プルグラマブルである付記1ないし8のいずれか一項記載の半導体装置。

【0075】

(付記10) 前記第2の配線は、同一長さの信号線を含むことを特徴とする付記1ないし9のいずれか一項記載の半導体装置。

【0076】

(付記11) チップ上に形成される第1の配線層と、これよりも上層に形成される第2の配線層とを具備し、第1の配線層に形成される第1の電極の数をMとし、第2の配線層に形成される第2の電極の数をNとし、第1及び第2の電極は同一信号を受信する場合、 $M > N \geq 1$  の条件が満足される半導体装置。

【0077】

(付記12) 付記11記載の半導体装置は、M個の第1の電極に各々設けた受信回路を有し、

第1の所定状態では、第1の電極に与えられた信号が第1の配線層を通り内部回路に与えられ、第2の所定状態では、第2の電極に与えられた信号が第2の配線層を通り前記内部回路に与えられる半導体装置。

【0078】

【発明の効果】

以上説明したように、本発明によれば、異なる形態の配線を選択的に用いることで、高速かつ低電力消費の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

ロジックチップの一般的な構成を示すブロック図である。

【図2】

本発明の第1の実施の形態による半導体装置の構成を示すブロック図である。

【図3】

図2に示す半導体装置の断面を模式的に示す図である。

【図4】

図2に示す構成のうち、アドレスや制御信号など一方向に伝送される信号に係る部分を詳細に示す図である。

【図5】

図2に示す構成のうち、クロックの伝送に係る部分を詳細に示す図である。

【図6】

図2に示す構成のうち、データの伝送に係る部分を詳細に示す図である。

【図7】

切り替え回路の構成例を示す図である。

【図8】

本発明の第2の実施の形態による半導体装置を示すブロック図である。

【図9】

本発明の第3の実施の形態による半導体装置を示すブロック図である。

【図10】

図2に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図である。

【図11】

図8に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図である。

【符号の説明】

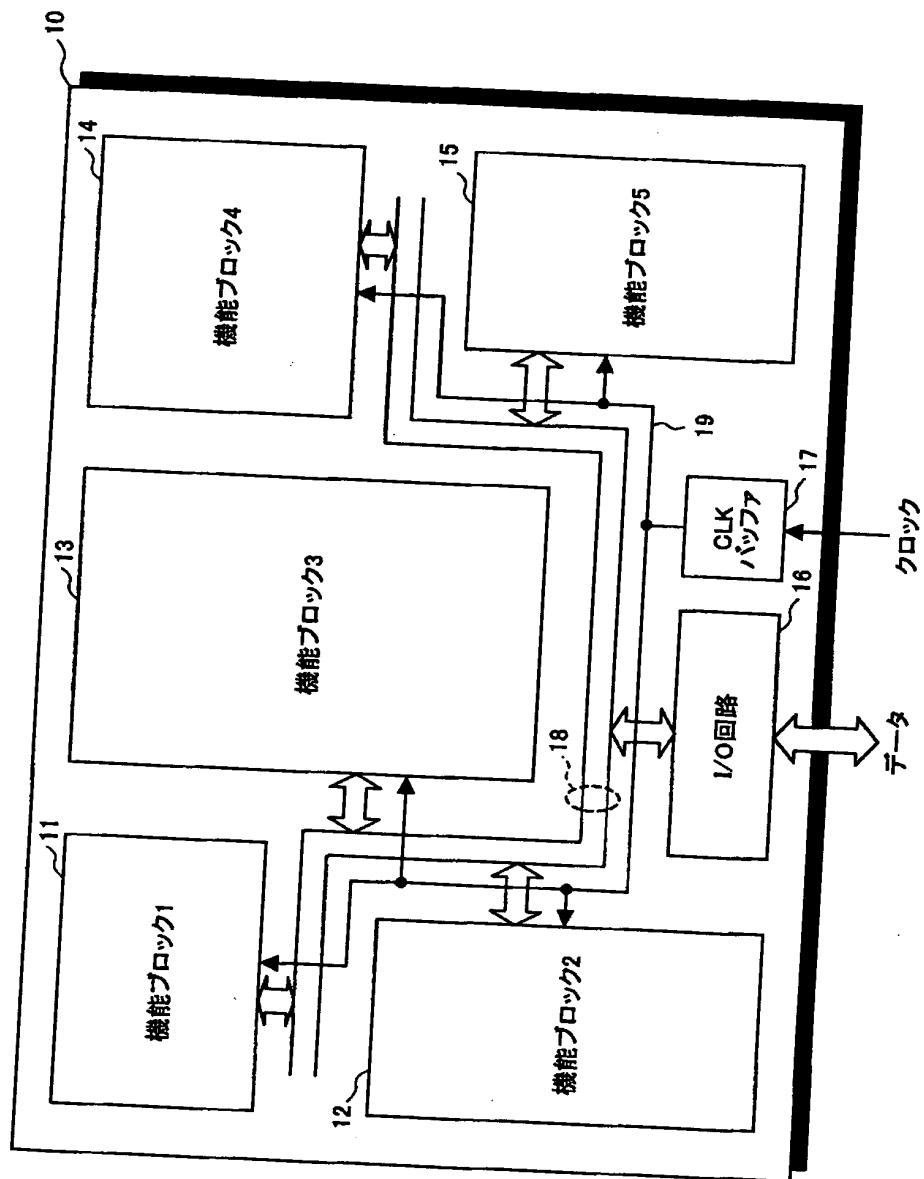
- 2 8 通常配線によるバス
- 2 9 通常配線によるクロック信号線
- 3 1 巨大配線によるバス
- 3 2 巨大配線によるクロック信号線
- 3 2 A 巨大配線によるクロック信号線
- 1 5 6 巨大配線によるクロック信号線
- 1 5 6 A 巨大配線によるクロック信号線

【書類名】

図面

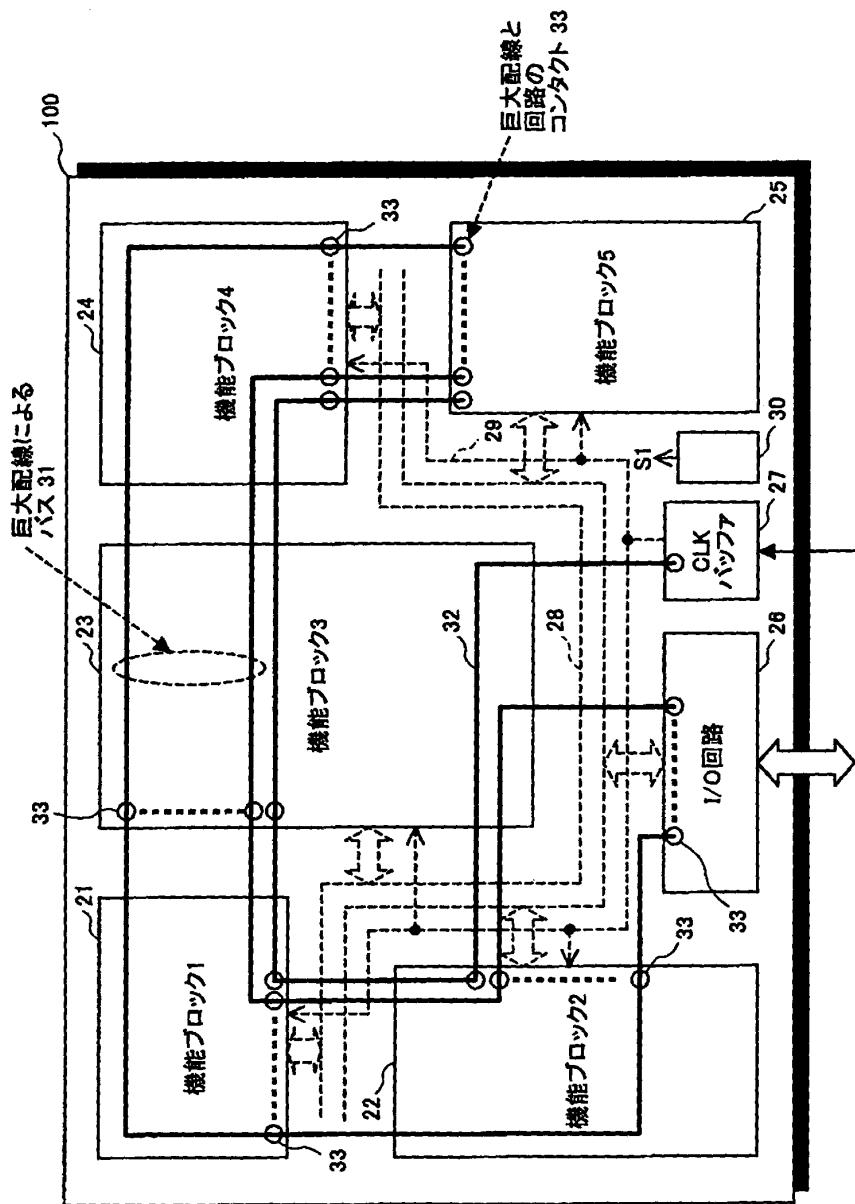
【図1】

ロジックチップの一般的な構成を示すブロック図



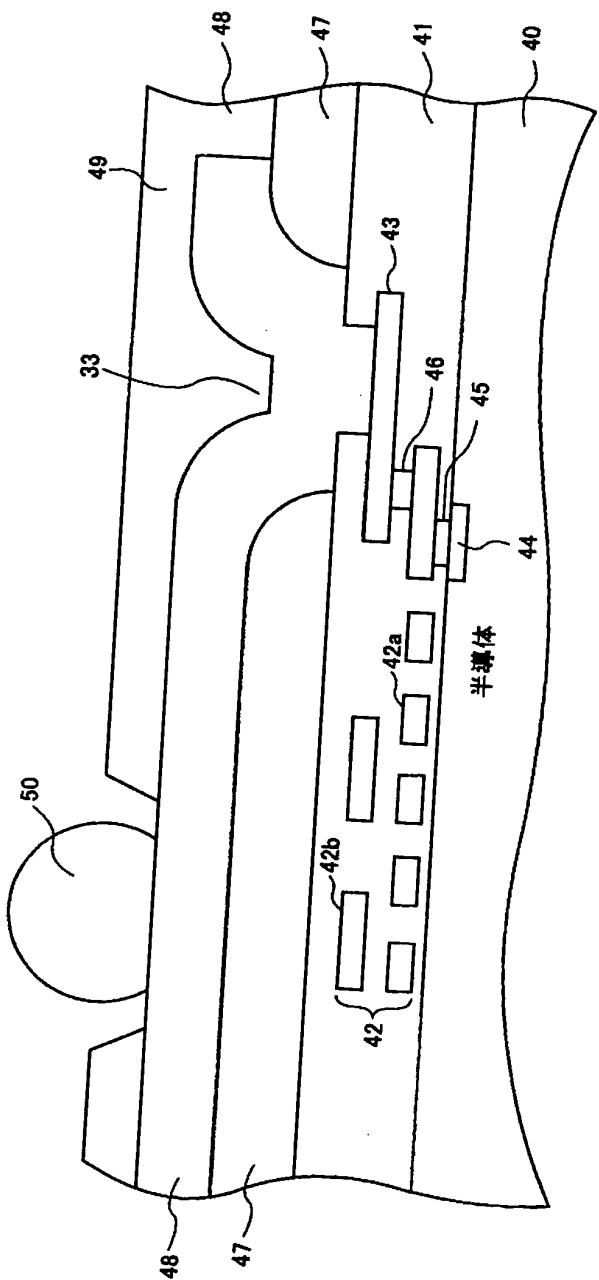
【図2】

## 本発明の第1の実施の形態による半導体装置の構成を示すブロック図



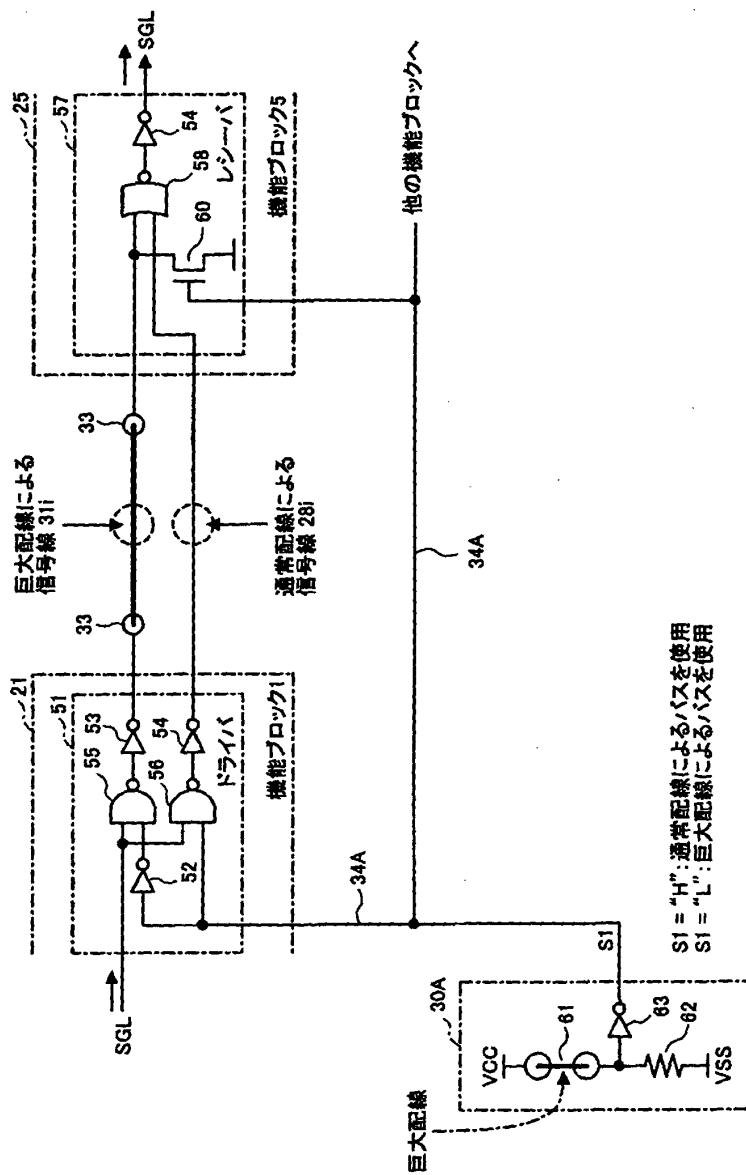
【図3】

図2示す半導体装置の断面を模式的に示す図



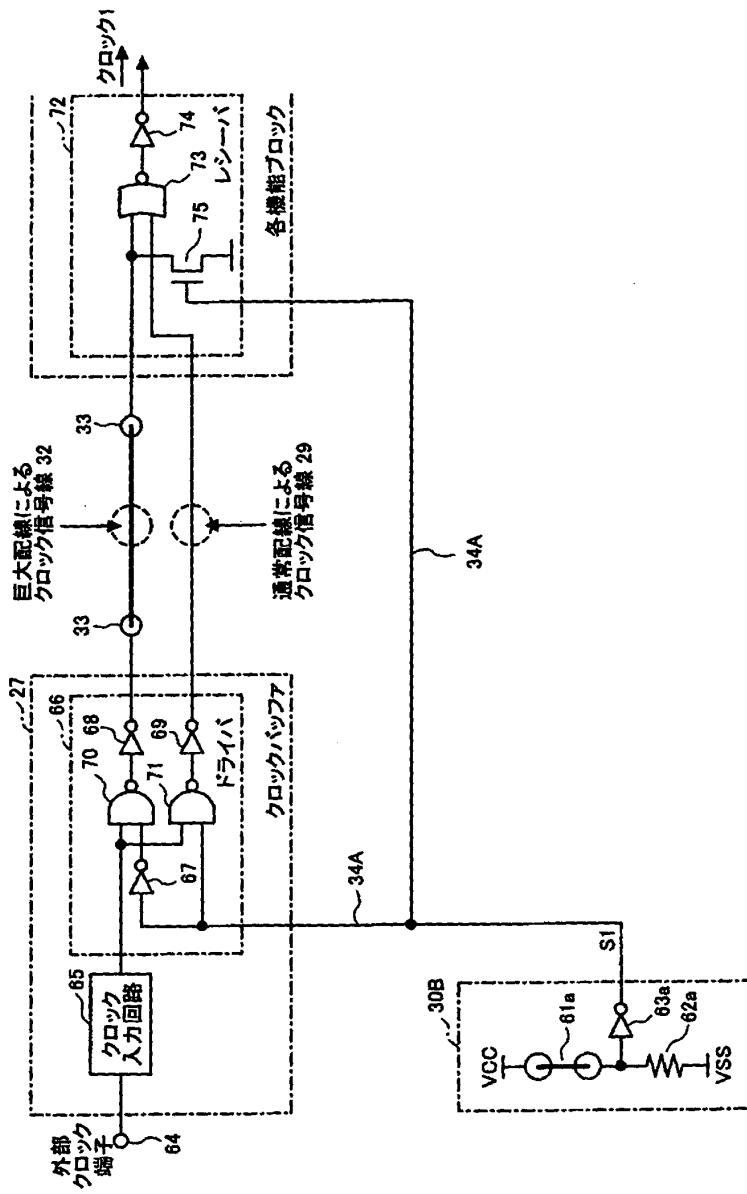
【図4】

図2に示す構成のうち、アドレスや制御信号など一方向に伝送される信号に係る部分を詳細に示す図



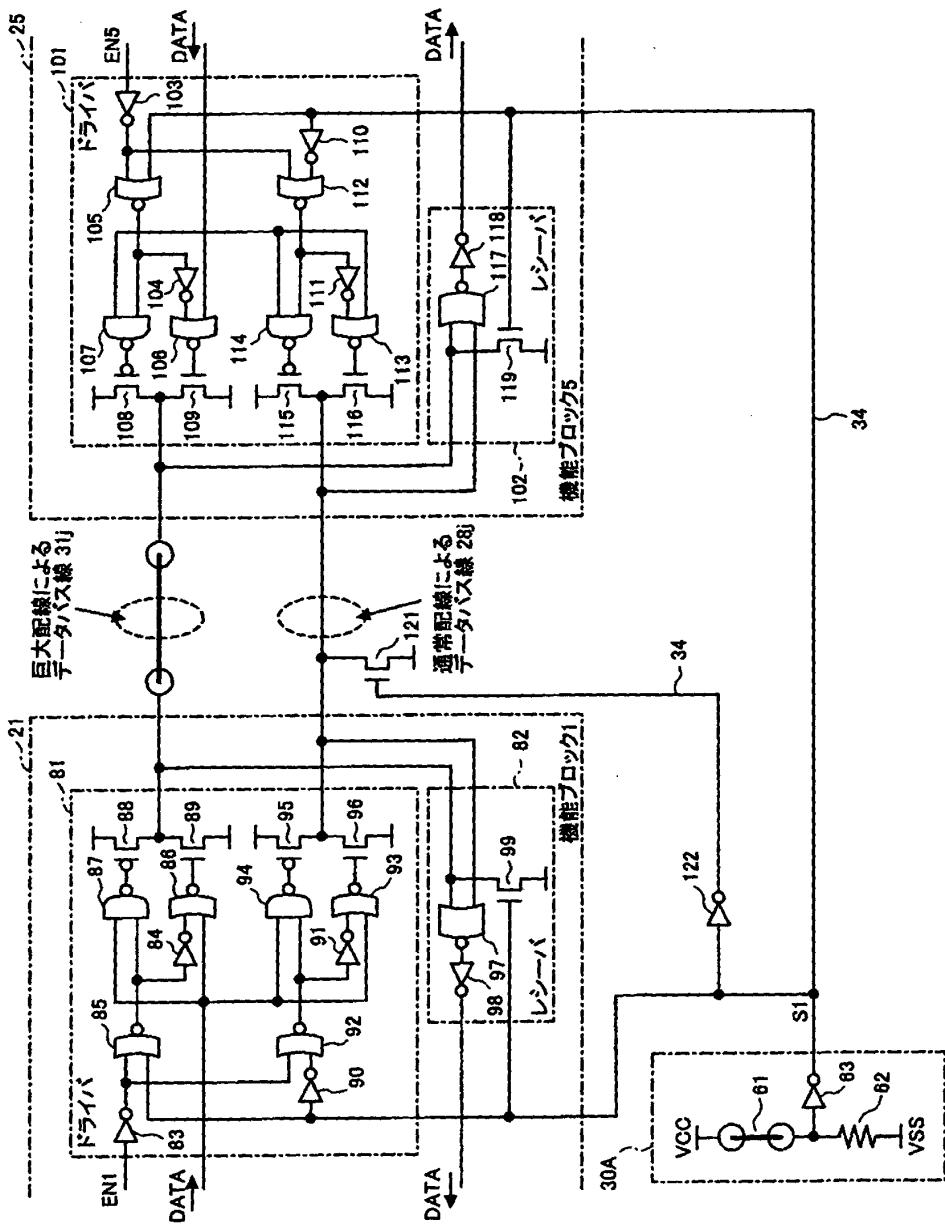
【図5】

図2に示す構成のうち、クロックの伝送に  
係る部分を詳細に示す図



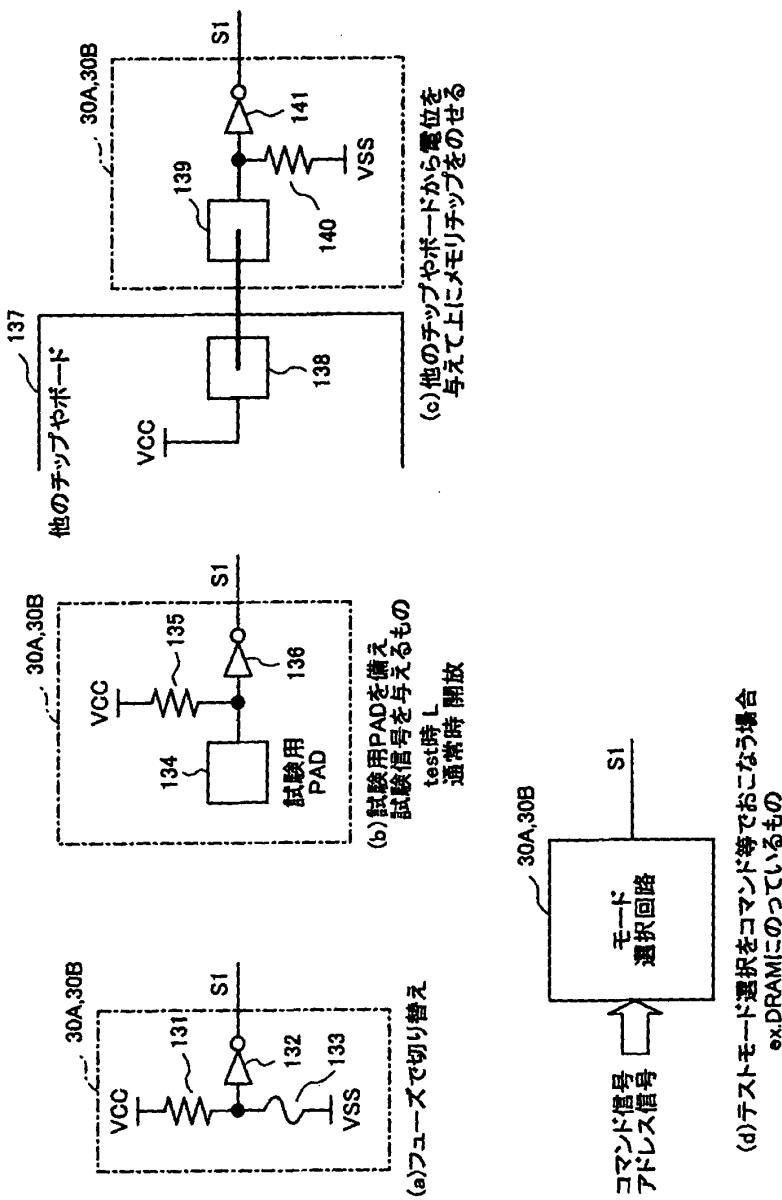
【図6】

図2に示す構成のうち、データの伝送に  
係る部分を詳細に示す図



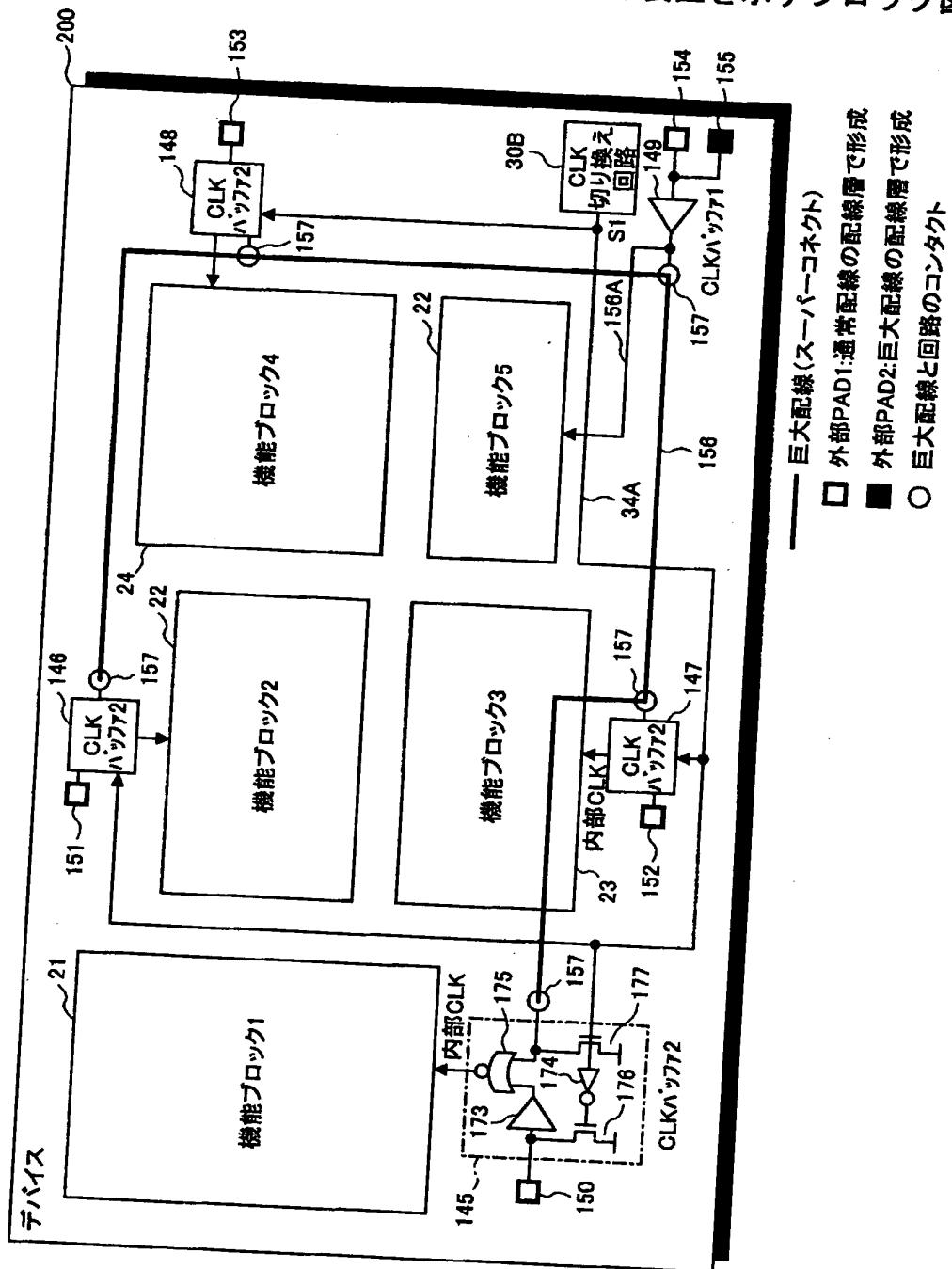
【図7】

## 切り替え回路の構成例を示す図



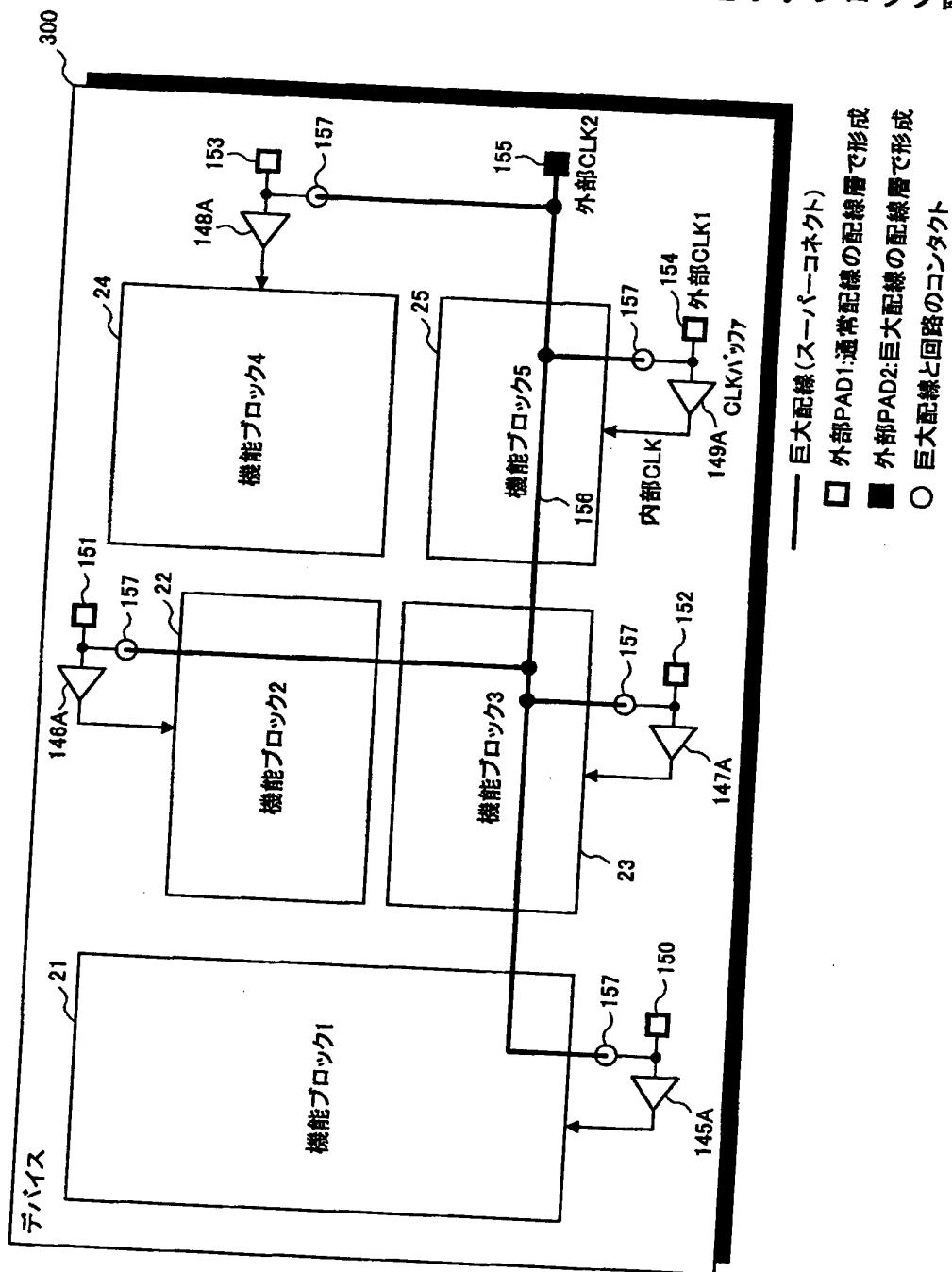
【図8】

## 本発明の第2の実施の形態による半導体装置を示すブロック図



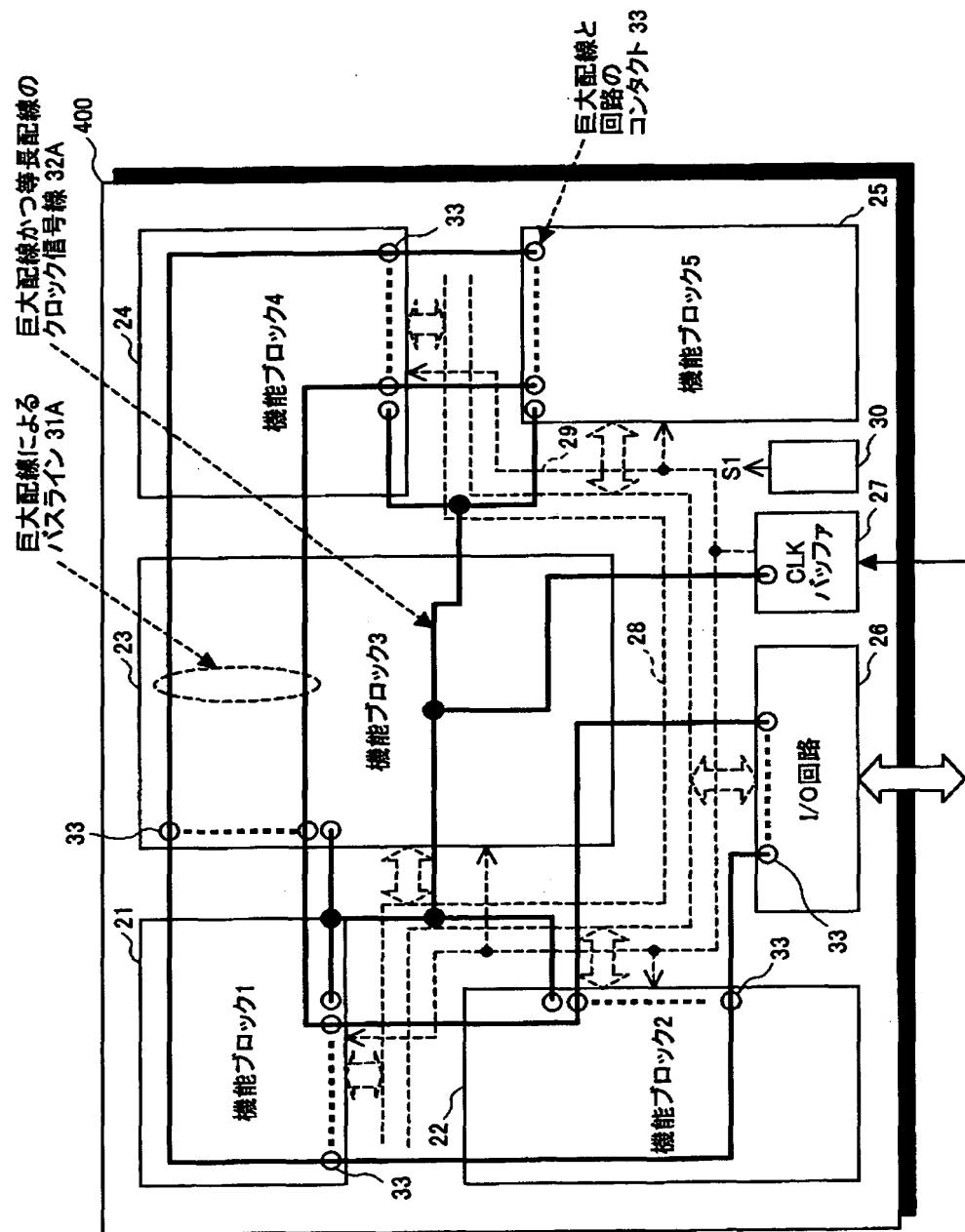
【図9】

## 本発明の第3の実施の形態による半導体装置を示すブロック図



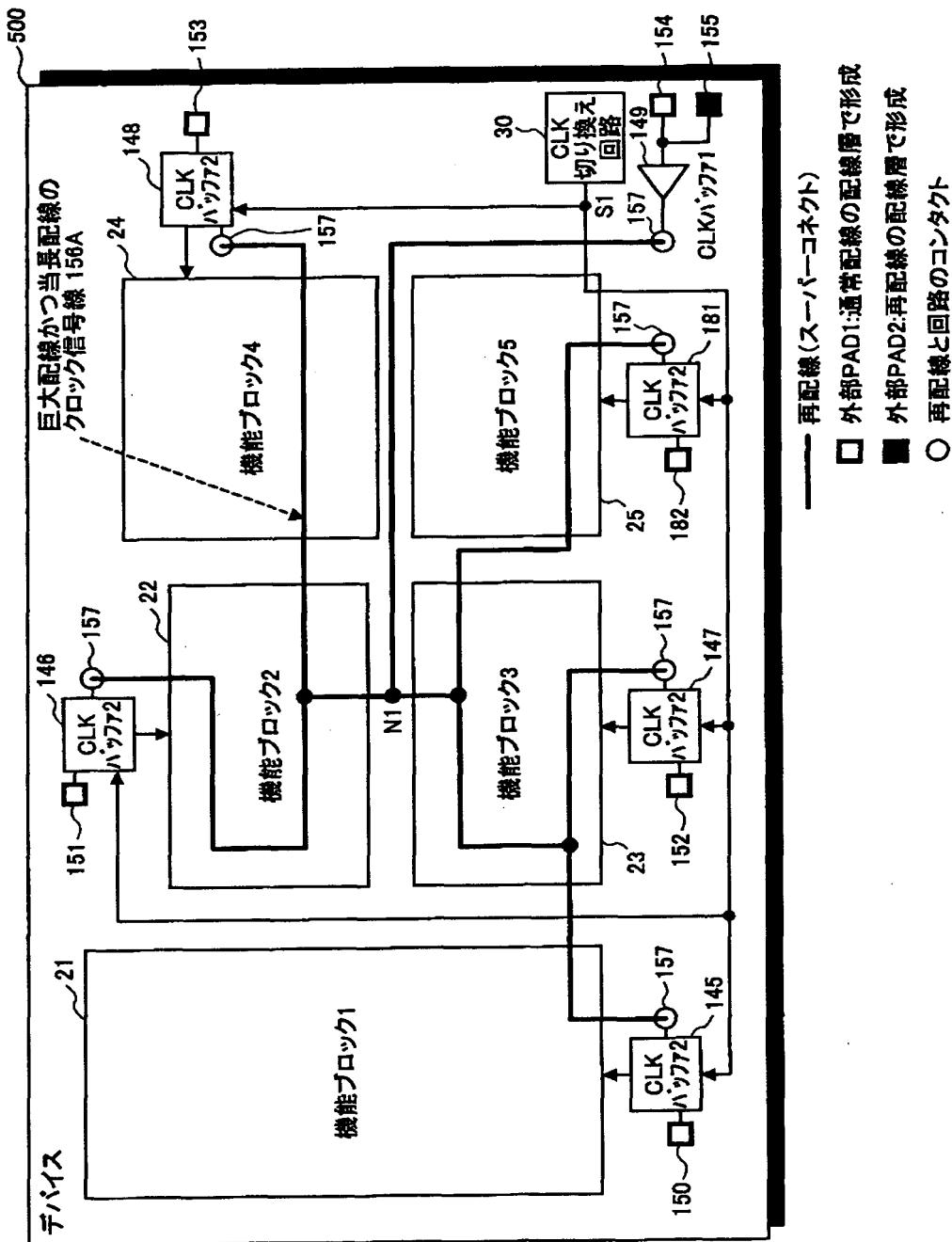
【図10】

図2に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図



【図11】

図8に示す半導体装置のクロック信号線を等配線長にした半導体装置を示す図



【書類名】 要約書

【要約】

【課題】 高速で低電力消費の半導体装置を提供する。

【解決手段】 回路間を接続する第1の配線（28、29）と、前記回路間を接続する第2の配線（31、32）と、前記回路間で信号を伝送するために、前記第1及び第2の配線のいずれか一方を選択する切り替え回路（30）とを有し、前記第2の配線は前記第1の配線よりも大きいサイズの半導体装置。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社